

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-297817

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H01L 21/768

(21)Application number : 10-097350

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.04.1998

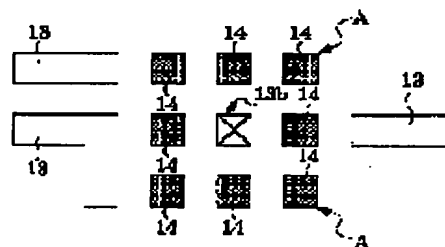
(72)Inventor : MOTOSAWA JUN
MORI KAZUTAKA
SHIMIZU TERUHISA

(54) SEMICONDUCTOR DEVICE, AND DESIGN THEREOF AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To hold favorably a patterning of an isolated pattern within wiring layers and to raise the reliable connection of first and second connection holes with each other in the case of a through hole, in which the positions of the connection holes coincide with each other.

SOLUTION: Dummy wirings 14 are arranged on the periphery of a through hole part wiring 13b of a part of first layer wirings 13 on the coordinates, on which the positions of connection members formed on the lower layers of the wirings 13 coincide with the positions of connection members formed on the upper layers of the wirings 13. The individual forms of the dummy wirings 14 are formed into a quadrate formed with the width of the wirings 13 as one side and the arrangement pitch between the wirings 14 is made equal with the pitch between the wirings 13.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297817

(43) 公開日 平成11年(1999)10月29日

(51) Int. Cl. ⁶
H01L 21/768

識別記号

F I
H01L 21/90

A

審査請求 未請求 請求項の数10 O L (全14頁)

(21) 出願番号 特願平10-97350

(22) 出願日 平成10年(1998)4月9日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 本澤 純

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 森 和孝

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 清水 照久

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

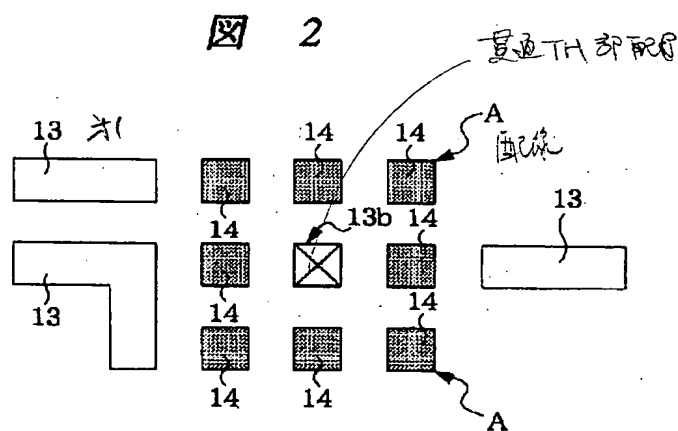
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体装置の製造方法およびその設計方法ならびに半導体装置

(57) 【要約】

【課題】 配線層内の孤立パターンのパターンニングを良好にし、第1および第2接続孔の位置が一致する貫通スルーホールの場合の接続信頼性を向上する。

【解決手段】 第1層配線13の下層に形成される接続部材と上層に形成される接続部材の位置が一致する座標の第1層配線13の部分である貫通スルーホール部配線13bの周辺に、ダミー配線14を配置する。ダミー配線14の個々の形状は第1層配線13の幅を一辺とする正方形とし、ダミー配線14が配置されるピッチは、第1層配線13のピッチと同じにする。



13: 第1層配線
13b: 貫通スルーホール部配線
14: ダミー配線

【特許請求の範囲】

【請求項1】 (a) 半導体基板の主面に半導体素子を形成し、または、さらに第(N-1)層配線を形成する工程、

(b) 前記半導体素子または第(N-1)層配線を覆う第1層間絶縁膜を形成し、前記半導体素子を構成する前記半導体基板の不純物半導体領域または第(N-1)層配線に接続するための接続孔を前記第1層間絶縁膜に開口し、前記接続孔内に前記不純物半導体領域または第

(N-1)層配線に電気的に接続される第1接続部材を形成する工程、

(c) 前記第1層間絶縁膜および第1接続部材上に、前記第1接続部材に電気的に接続される第N層配線を形成する工程、

(d) 前記第N層配線を覆う第2層間絶縁膜を形成し、前記第N層配線に接続するための接続孔を前記第2層間絶縁膜に開口し、前記接続孔内に前記第N層配線に電気的に接続される第2接続部材を形成する工程、を含む半導体装置の製造方法であって、

前記(c)工程において、前記第1接続部材と前記第2接続部材とが前記半導体基板に平行な平面内においてほぼ同一位置に形成される場合における、その第1および第2接続部材間に形成されることとなる前記第N層配線の部分(貫通スルーホール部)の周辺には、前記第N層配線とともにダミー配線が形成されることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法であって、

前記ダミー配線は、前記貫通スルーホール部を中心とする正方形の各頂点および前記正方形の各辺の中点を中心として配置される第1の構成、前記正方形の各頂点を中心として配置される第2の構成、前記正方形の各辺の中点を中心として配置される第3の構成、の何れか構成を有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法であって、

前記ダミー配線は、前記第N層配線のピッチと同一ピッチ、または前記第N層配線のピッチの2～5倍のピッチで形成されることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1、2または3記載の半導体装置の製造方法であって、

前記ダミー配線は、前記第N層配線の幅を1辺とする正方形の形状のパターンを用いてパターンニングされることを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の半導体装置の製造方法であって、

前記ダミー配線の形成されるべき位置に前記第N層配線として機能する配線が形成される場合には前記ダミー配線は形成されないことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板の主面または第(N-1)層配線に電気的に接続して形成される第1接続部材と、前記第1接続部材上に電気的に接続して形成される第N層配線と、前記第N層配線に電気的に接続して形成される第2接続部材とを有する半導体装置の設計方法であって、

前記第1接続部材の座標と前記第2接続部材の座標とが一致する条件を満たす座標を検索する第1のステップと、

前記座標における前記第N層配線パターン(貫通スルーホール部中間配線)を、貫通スルーホール用セルに置換する、または、前記貫通スルーホール部中間配線に貫通スルーホール用補正パターンを付加する、ことによって前記第N層配線パターンを補正する第2のステップと、を含むことを特徴とする半導体装置の設計方法。

【請求項7】 請求項6記載の半導体装置の設計方法であって、

前記貫通スルーホール用セルは、前記貫通スルーホール用補正パターンの中心に前記貫通スルーホール部中間配線を配置したものであり、

前記貫通スルーホール用補正パターンは、前記貫通スルーホール部中間配線を中心とする正方形の各頂点および各辺の中心、または各頂点、または各辺の中心にダミーパターンが配置されたものであることを特徴とする半導体装置の設計方法。

【請求項8】 請求項7記載の半導体装置の設計方法であって、

前記正方形の1辺は、前記第N層配線パターンのピッチの10倍までを限度とする偶数倍であり、前記ダミーパターンは、前記第N層配線パターンの幅を1辺とする正方形であることを特徴とする半導体装置の設計方法。

【請求項9】 半導体基板の主面または第(N-1)層配線に電気的に接続して形成される第1接続部材と、前記第1接続部材上に電気的に接続して形成される第N層配線と、前記第N層配線に電気的に接続して形成される第2接続部材とを有する半導体装置であって、

前記第1接続部材と前記第2接続部材とが前記半導体基板に平行な面内においてほぼ同一位置に配置されている場合には、その第1および第2接続部材間の貫通スルーホール部の同一層内における周辺には、ダミー配線または前記貫通スルーホール部以外の第N層配線が形成されていることを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置であって、前記ダミー配線は、前記第1接続部材、第N層配線および第2接続部材とは電気的に接続されず、フローティング状態であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造技術に関し、特に、異なる層に形成されたスル

一ホールが、上下方向にほぼ同一の位置に形成される貫通スルーホールを含む半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体装置の高集積化および高機能化を反映して、1つのチップあたりに集積される素子数は飛躍的に増大している。このような大規模な素子を用いて高い機能を有する多種多様な回路を構成しようとすれば、必然的に素子間を接続する配線数が増大し、配線層数もそれにつれて増加する。

【0003】一方、工程の短縮化および歩留まりの向上、あるいはスルーホールの向上によるコストの削減等の要求から、配線層数については配線数をできるだけ少なくしたいという要求がある。また、配線をレイアウトできる面積を大きくして、逆に言えば冗長な配線の面積を低減して、チップ面積の縮小、あるいは配線レイアウトの設計自由度を向上したいという要求もある。

【0004】そこで、たとえば第1層配線から第3層配線に電気的な接続を実現する場合に、1層配線と第3層配線とは第2層配線を介して接続することが必要であるが、この場合、第1層配線と第2層配線とを接続する第1接続孔の位置と、第2層配線と第3層配線とを接続する第2接続孔の位置とを一致させることが好ましい。このように第1および第2接続孔の位置を一致させることにより第2層配線に冗長な配線が形成されないためである。

【0005】このような第1および第2接続孔の位置を一致させる技術としては、公知にされたわけではないが、本出願人の出願にかかる特願平8-337353号出願、あるいは、第1および第2接続孔の間に配線層が介在しないが、同様に第1および第2接続孔の位置を一致させる技術として、公知にされたわけではないが、本出願人の出願にかかる特願平9-348823号出願がある。

【0006】

【発明が解決しようとする課題】しかし、上記のように第1および第2接続孔の位置が一致する場合であって、その中間に形成される第2層配線が他に接続されるような配線でない場合、つまり、第2層配線が第1および第2接続孔にのみ接続される微小パターンである場合には、この微小パターンは、他の第2層配線のパターンから孤立した孤立パターンになる可能性があり、このような孤立パターンではパターニングが困難になるという問題がある。

【0007】すなわち、ある程度のパターン密度のラインアンドスペースのパターンと、微小な孤立パターンとが混在した場合には、孤立パターン部分のパターン密度はラインアンドスペース部分のパターン密度よりも極端に小さくなる。この結果、孤立パターンの露光量が少なくなり、ネガレジストの場合、パターンが小さく形成さ

れてしまう。これは、ラインアンドスペース部分では、隣接するパターン間での光の影響により露光量が多くなり、この露光量レベルにあわせて露光条件を決定するため、孤立パターン部分での露光条件が最適条件からずれるという事情に基づく。

【0008】このように孤立パターンが良好にパターニングされなければ、第1および第2接続孔間の接続信頼性が低下し、接続抵抗の上昇による半導体装置の性能低下、あるいは接続されないことによる半導体装置の歩留まりの低下を来す問題がある。

【0009】なお、露光の際に、隣接する露光部材間の光の干渉あるいは光近接効果により露光パターンが影響され、露光パターンに忠実にレジストパターンが形成されないため、露光パターンに補正を加える光近接効果補正の技術（たとえば、1997年6月10日、株式会社培風館発行、「ULSIプロセス技術」、p15～p16に記載がある。）が知られている。しかし、この技術では、複雑な図形演算を必要とし、簡便に孤立パターンを補正することができない。

20 【0010】本発明の目的は、配線層内の孤立パターンのパターニングを良好にし、第1および第2接続孔の位置が一致する場合（貫通スルーホールの場合）の接続信頼性を向上することにある。

【0011】また、本発明の目的は、貫通スルーホールの場合の接続抵抗を低減することにある。

【0012】また、本発明の目的は、貫通スルーホールの場合のプロセスマージンを向上することにある。

30 【0013】また、本発明の目的は、貫通スルーホールの場合の補正されたマスク設計を簡便に行うことにある。

【0014】また、本発明の目的は、半導体装置の性能および歩留まりを向上することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40 【0017】(1) 本発明の半導体装置の製造方法は、半導体基板の主面に半導体素子、またはさらに第(N-1)層配線を形成し、それを覆う第1層間絶縁膜を形成し、その第1層間絶縁膜に接続孔を開口し、接続孔内に前記半導体素子の不純物半導体領域または第(N-1)層配線に電気的に接続される第1接続部材を形成し、さらに、第N層配線を形成し、第N層配線を覆う第2層間絶縁膜に接続孔、およびその接続孔に第2接続部材を形成する工程を含む半導体装置の製造方法であって、第1接続部材と第2接続部材とが半導体基板に平行な平面内においてほぼ同一位置に形成される場合における、その

第1および第2接続部材間に形成されることとなる第N層配線の部分(貫通スルーホール部)の周辺に、第N層配線とともにダミー配線が形成されるものである。

【0018】このような半導体装置の製造方法によれば、貫通スルーホール部の周辺にダミー配線が形成されるため、貫通スルーホール部は孤立パターンとはならず、他の第N層配線のラインアンドスペース部分と同様に良好にパターンニングされる。これにより第1接続部材と第2接続部材との第N層配線(貫通スルーホール部)を介した接続が良好となり、半導体装置の信頼性、性能および歩留まりの向上が図れる。

【0019】なお、ダミー配線は、貫通スルーホール部を中心とする正方形の各頂点および正方形の各辺の中点を中心として配置される第1の構成、正方形の各頂点を中心として配置される第2の構成、正方形の各辺の中点を中心として配置される第3の構成、の何れか構成とすることができる。

【0020】また、ダミー配線は、第N層配線のピッチと同一ピッチ、または第N層配線のピッチの2~5倍のピッチで形成されるものである。なお、ここで2~5倍のピッチは第N層配線のピッチの2~5倍の整数倍をいう。このように整数倍とすることにより、ダミー配線は必ず第N層配線の形成できる格子位置に形成され、第N層配線の間に形成されることがない。これによりダミー配線の存在による第N層配線の機能を阻害することがない。

【0021】また、ダミー配線は、第N層配線の幅を1辺とする正方形のパターンを用いてパターンニングされるものである。

【0022】また、ダミー配線の形成されるべき位置に第N層配線として機能する配線が形成される場合にはダミー配線は形成されない。このような場合にダミー配線が形成されないため、ダミー配線の存在により第N層配線の形成が阻害されたり影響を受けることがない。尤も、このような場合には、ダミー配線の形成されるべき位置に第N層配線が存在するため、ダミー配線は形成される必要がない。すなわち、このような場合には、貫通スルーホール部はすでに孤立パターンではないためである。

【0023】(2)本発明の半導体装置の設計方法は、半導体基板の主面または第(N-1)層配線上に電気的に接続して形成される第1接続部材と、第1接続部材上に電気的に接続して形成される第N層配線と、第N層配線上に電気的に接続して形成される第2接続部材とを有する半導体装置の設計方法であって、第1接続部材の座標と第2接続部材の座標とが一致する条件を満たす座標を検索する第1のステップと、座標における第N層配線パターン(貫通スルーホール部中間配線)を、貫通スルーホール用セルに置換する、または、貫通スルーホール部中間配線に貫通スルーホール用補正パターンを付加す

る、ことによって第N層配線パターンを補正する第2のステップと、を含むものである。

【0024】このような半導体装置の設計方法によれば、第1のステップで貫通スルーホール部を検出し、この座標に貫通スルーホール用セルあるいは貫通スルーホール用補正パターンを適用して貫通スルーホール部が孤立パターンとなることを防止することができる。なお、このような補正方法は、パターンの図形演算を行うことが必要でなく、貫通スルーホール用セルあるいは貫通スルーホール用補正パターンを定義すれば、全てシンボリックに取り扱うことができる。この結果、補正演算の演算時間を短縮して、補正を簡便に行うことができる。

【0025】なお、貫通スルーホール用セルは、貫通スルーホール用補正パターンの中心に貫通スルーホール部中間配線を配置したものであり、貫通スルーホール用補正パターンは、貫通スルーホール部中間配線を中心とする正方形の各頂点および各辺の中心、または各頂点、または各辺の中心にダミーパターンが配置されたものとする。また、正方形の1辺は、第N層配線パターンのピッチの10倍までを限度とする偶数倍とし、ダミーパターンは、第N層配線パターンの幅を1辺とする正方形とする。

【0026】なお、このようにして構成された第N層配線パターンは、前記(1)で説明した製造方法における第N層配線を形成するためのマスクパターンに用いることができる。

【0027】(3)本発明の半導体装置は、半導体基板の主面または第(N-1)層配線上に電気的に接続して形成される第1接続部材と、第1接続部材上に電気的に接続して形成される第N層配線と、第N層配線上に電気的に接続して形成される第2接続部材とを有する半導体装置であって、第1接続部材と第2接続部材とが半導体基板に平行な面内においてほぼ同一な位置に配置されている場合には、その第1および第2接続部材間の貫通スルーホール部の同一層内における周辺には、ダミー配線または貫通スルーホール部以外の第N層配線が形成されているものである。また、ダミー配線は、第1接続部材、第N層配線および第2接続部材とは電気的に接続されず、フローティング状態である。

【0028】このような半導体装置は、前記した(1)の製造方法により形成される。

【0029】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0030】図1は、本発明の一実施の形態である半導体装置の一例を示した断面図である。

【0031】本実施の形態の半導体装置は、半導体基板1上にMISFETQ_n、Q_pを有し、MISFETQ

n、Qp上には複数の配線層M1～M3が形成されている。半導体基板1の主面近傍には、たとえばCVD法によるシリコン酸化膜を浅溝内に埋め込んで形成された素子分離領域2を有する。素子分離領域2で囲まれた半導体基板1の領域には、p型ウェル3およびn型ウェル4が形成され、MISFETQn、Qpの活性領域となる。

【0032】MISFETQn、Qpは、各々p型ウェル3およびn型ウェル4の主面上に、ゲート絶縁膜5を介して形成されたゲート電極6と、ゲート電極6下の半導体基板1のチャネル領域を挟んで形成された不純物半導体領域7とから構成される。

【0033】ゲート絶縁膜5は、たとえば熱CVD法により形成されたシリコン酸化膜からなり、5～20nm程度の膜厚を有する。

【0034】ゲート電極6は、たとえばCVD法により形成された多結晶シリコン膜からなる。多結晶シリコン膜は、不純物が高濃度にドーブされてもよく、また、その上部にタングステン(W)、コバルト(Co)、チタン(Ti)等のメタルシリサイド膜が形成されてもよい。さらに、窒化チタン膜(TiN)、窒化タングステン膜(WN)等のバリア膜を介して多結晶シリコン膜の上部にタングステン膜(W)、タンタル膜(Ta)等のメタル膜が形成されてもよい。このように多結晶シリコン膜とメタルシリサイド膜あるいはメタル膜とでゲート電極6を構成することにより、ゲート電極6の抵抗値を低減し、半導体装置の性能を向上できる。

【0035】不純物半導体領域7は、MISFETQnあるいはQpのソース・ドレイン領域として機能するのであり、不純物半導体領域7には、MISFETQnあるいはQpの導電型の応じた不純物がドーブされる。すなわち、nチャネル型のMISFETQnの不純物半導体領域7にはn型の導電型を示す不純物たとえばリン(P)またはヒ素(As)が、pチャネル型のMISFETQpの不純物半導体領域7にはp型の導電型を示す不純物たとえばボロン(B)がドーブされる。なお、不純物半導体領域7は、低濃度不純物半導体領域と高濃度不純物半導体領域とからなるLDD(Lightly Doped Drain)構造とすることもできる。

【0036】ゲート電極6の上面にはキャップ絶縁膜8が形成され、側面にはサイドウォールスペーサ9が形成される。キャップ絶縁膜8およびサイドウォールスペーサ9は、たとえばCVD法により形成されたシリコン酸化膜とすることができる。

【0037】MISFETQnあるいはQpおよび半導体基板1上には層間絶縁膜10が形成されている。層間絶縁膜10は、たとえばCVD法により形成されたシリコン酸化膜からなる。層間絶縁膜10には、PSG(Phospho-silicate-glass)、BPSG(Boro-Phospho-silicate-glass)、SOG(Spin On Glass)等が含まれ

てもよい。

【0038】MISFETQnあるいはQpのソース・ドレイン領域である不純物半導体領域7上の層間絶縁膜10には接続孔11が形成され、その接続孔11内には接続部材12が形成されている。

【0039】接続孔11は、フォトリソグラフィおよびエッチング技術を用いて形成できる。また、接続部材12は、たとえばスパッタ法によるタングステン膜およびブランケットCVD法によるタングステン膜の積層膜を接続孔11内および層間絶縁膜10上に形成し、その後たとえばCMP(Cheical Mechanical Polishing)法により不要な層間絶縁膜10上のタングステン膜を除去して形成できる。不要なタングステン膜の除去にはエッチバック法を用いてもよい。なお、接続孔11の径および深さを例示すれば、たとえば径を0.5μm、深さを1μmとすることができる。

【0040】接続部材12および層間絶縁膜10上には、第1層配線13(M1)およびダミー配線14が形成されている。第1層配線13およびダミー配線14は後に説明するように、同一のフォトリソグラフィ工程で同時に形成される。その材質は、たとえばスパッタ法またはCVD法によるタングステン膜とすることができる。

【0041】第1層配線13には、通常の配線の他に、接続部材12および後に説明する接続部材17との間に形成される貫通スルーホール部配線13bが含まれる。貫通スルーホール部配線13bは、その下部の接続部材12と上部の接続部材17とで挟まれた導電部材であり、接続部材12と接続部材17との平面位置が一致している場合にその平面位置に形成される。すなわち、接続部材12と接続部材17とで貫通スルーホールが形成されている場合に、その接続部材間を接続する第1層配線13の部分が貫通スルーホール部配線13bと定義できる。貫通スルーホール部配線13bは、他の配線部分の一部として形成される場合もあるが、他の配線部分の一部にならない場合、つまり、下部の接続部材12と上部の接続部材17とを接続する機能のみを持つ場合には、そのパターン面積が極めて小さな微小パターンとなる。このため、何ら対策を施さない場合には、その微小パターンのフォトリソグラフィによる正確なパターン形成が困難となり、パターンが小さく加工されて接続部材12と接続部材17の電気的な接続が不良あるいは信頼性に乏しいものとなる。この問題点は前記したとおりである。

【0042】しかし、本実施の形態では、貫通スルーホール部配線13bの周辺にダミー配線14が形成されている。図2は、図1のII部における第1層配線13およびダミー配線14部分の平面図である。図2に示すように、ダミー配線14は、貫通スルーホール部配線13bとほぼ同一のパターンで形成され、貫通スルーホール部

配線 1 3 b の周辺に配置されている。また、ダミー配線 1 4 が形成されるピッチは、第 1 層配線 1 3 のピッチと同じであり、ダミー配線 1 4 の幅も第 1 層配線 1 3 の幅と同じである。このように、ダミー配線 1 4 が貫通スルーホール部配線 1 3 b の周辺に配置されるため、貫通スルーホール部配線 1 3 b は、微小パターンではあるが孤立したパターンとはならない。よって、隣接するダミー配線 1 4 の影響により、フォトリソグラフィの光が通常のラインアンドスペース部分と同様に露光され、パターンが小さくなることなく正常にパターンニングされる。これにより、接続部材 1 2 と接続部材 1 7 との間の貫通スルーホール部配線 1 3 b が正確に形成されて接続部材 1 2 と接続部材 1 7 に電氣的に接続され、半導体装置の歩留まりおよび信頼性を向上できる。

【0043】なお、図 2 において 8 個あるダミー配線 1 4 は、何れも正確にパターンニングされた状態を図示しているが、実際には丸みを帯びて加工させることは言うまでもない。また、図 2 において、右上部分および右下部分 (A 部) には、隣接部材が存在しないため、より大きく丸みを帯びて、つまり大きく削れてパターンニングされ、図示のように正確には加工されない。しかし、この部分はダミー配線 1 4 であるから、半導体装置の性能、歩留まりには何ら影響しない。

【0044】また、図 1 および 2 から明らかに、ダミー配線 1 4 は、他の導電部材に何ら接続されず、電氣的にフローティング状態になっている。すなわち、ダミー配線 1 4 は、半導体装置の導電部材としては何ら機能しない存在である。このため、ダミー配線 1 4 の形状が設計通りに加工されなくとも半導体装置の機能を損なうことがない。逆にいえば、ダミー配線 1 4 の加工形状を犠牲にして半導体装置の機能実現に必要な部材、特に貫通スルーホール部配線 1 3 b の形状加工性を向上することが本発明であるともいえる。

【0045】また、通常の配線の一部分として貫通スルーホール部配線 1 3 b が形成される場合もある。図 3 は、図 1 の III 部における第 1 層配線 1 3 およびダミー配線 1 4 部分の平面図である。図 3 において、貫通スルーホール部配線 1 3 b は、通常の第 1 層配線 1 3 の一部に含まれている。すなわち、この部分の貫通スルーホール部配線 1 3 b は、独立した 1 個の導電性部材としては存在しない。しかしながら、このような場合にも、貫通スルーホール部配線 1 3 b の周辺には、ダミー配線 1 4 が配置される。このように、ダミー配線 1 4 が配置されることにより、貫通スルーホール部配線 1 3 b の形状、すなわち、第 1 層配線 1 3 の端部形状が良好となり、接続部材 1 2 と接続部材 1 7 との間の導通性能が向上する。なお、ダミー配線 1 4 の一部が形成されるべき領域 (B 部) には、第 1 層配線 1 3 が形成されているため、この部分にはダミー配線 1 4 は形成されない。このような場合の第 1 層配線 1 3 およびダミー配線 1 4 のパター

ニングマスクの設計方法については後述する。

【0046】第 1 層配線 1 3 およびダミー配線 1 4 上には、これを覆う層間絶縁膜 1 5 が形成されている。層間絶縁膜 1 5 は、たとえば CVD 法により形成されたシリコン酸化膜からなる。層間絶縁膜 1 5 には、SOG (Spin On Glass) 等が含まれてもよい。

【0047】層間絶縁膜 1 5 には、接続孔 1 6 が形成され、接続孔 1 6 の内部には接続部材 1 7 が形成される。

【0048】接続孔 1 6 は、フォトリソグラフィおよびエッチング技術を用いて形成でき、接続部材 1 7 は、たとえばスパッタ法あるいは CVD 法による窒化チタン膜 (TiN) およびプラズマ CVD 法によるタングステン膜 (W) の積層膜とすることができる。接続部材 1 7 の形成には、接続部材 1 2 と同様に CMP 法を用いることができる。なお、接続孔 1 6 の径および深さを例示すれば、たとえば径を $0.5 \mu\text{m}$ 、深さを $1 \mu\text{m}$ とすることができる。

【0049】接続部材 1 7 および層間絶縁膜 1 5 上には、第 2 層配線 1 8 (M2) とダミー配線 1 9 が形成される。第 1 層配線 1 3 の場合と同様、第 2 層配線 1 8 とダミー配線 1 9 とは、同一のフォトリソグラフィ工程で同時に形成される。第 2 層配線 1 8 およびダミー配線 1 9 は、たとえばスパッタ法または CVD 法によるチタン膜、アルミニウム膜および窒化チタン膜の積層膜とすることができる。

【0050】第 2 層配線 1 8 には、第 1 層配線 1 3 と同様に、通常に配線の他に、貫通スルーホール部配線 1 8 b が含まれる。貫通スルーホール部配線 1 8 b は、貫通スルーホール部配線 1 3 b と同様に、接続部材 1 7 と後に説明する接続部材 2 2 との間に形成される第 2 層配線 1 8 の一部である。そして、貫通スルーホール部配線 1 8 b の周辺には、貫通スルーホール部配線 1 3 b の場合と同様にダミー配線 1 9 が形成されている。図 1 における V 部は II 部と同様であり、その平面図も図 2 に示す平面図と同様である。したがって、前記したと同様の作用により V 部における貫通スルーホール部配線 1 8 b の形状は、ダミー配線 1 9 の存在により、正常に加工され、接続部材 1 7 と接続部材 2 2 との間の導電性能を良好に構成できる。

【0051】一方、IV 部における貫通スルーホール部配線 1 8 b の全ての周辺には、ダミー配線 1 9 は配置されない。図 4 は、図 1 の IV 部における第 2 層配線 1 8 およびダミー配線 1 9 部分の平面図である。図 4 に示すように、貫通スルーホール部配線 1 8 b の周辺のダミー配線 1 9 が形成されるべき領域 (C 部) に通常配線である第 2 層配線 1 8 が形成される場合には、ダミー配線 1 9 が形成されない。このような場合、ダミー配線 1 9 が形成されなくとも、貫通スルーホール部配線 1 8 b の隣接する領域には通常配線である第 2 層配線 1 8 が存在するため、貫通スルーホール部配線 1 8 b のパターンニング不良

が発生することはない。したがって、この場合には、ダミー配線19は必要でなく、ダミー配線19が存在しなくても貫通スルーホール部配線18bは正常にパターンニングされ、半導体装置の性能および歩留まりは低下することがない。ただし、図4に示すように、通常配線である第2層配線18が配置されていない領域にダミー配線19を配置することは勿論可能である。この場合には、さらに貫通スルーホール部配線18bのパターンニングを良好にできる。このような場合の第2層配線18およびダミー配線19のパターンニングマスクの設計方法については後述する。

【0052】第2層配線18およびダミー配線19上には、これを覆う層間絶縁膜20が形成され、層間絶縁膜20に接続孔21が形成される。接続孔21の内部には接続部材22が形成される。層間絶縁膜20は、層間絶縁膜15と同様なシリコン酸化膜とし、接続部材22は、接続部材17と同様に窒化チタン膜およびタングステン膜の積層膜とすることができる。接続孔21は、接続孔16と同様に、フォトリソグラフィおよびエッチング技術を用いて形成でき、その径および深さは、接続孔16と同様あるいはそれよりも大きく、たとえば径を1μm、深さを2μm、とすることができる。

【0053】接続部材22および層間絶縁膜20上には、第2層配線18(M2)の場合と同様に、第3層配線23(M3)が形成される。なお、図示はしていないが、必要に応じて第3層配線23と同時にダミー配線を形成できる。第3層配線23は絶縁膜24で覆われる。絶縁膜24はたとえばCVD法により形成されたシリコン酸化膜あるいはそれとシリコン窒化膜との積層膜とし、パッシベーション膜とすることができる。

【0054】なお、図示はしていないが、さらに第4層、第5層等の配線層を形成して、より多層の配線層を有する半導体装置としてもよいことは言うまでもない。この場合、必要に応じて第2層配線18の場合のようなダミー配線19と同様なダミー配線を設けることができる。

【0055】また、ダミー配線14あるいはダミー配線19は、図5示すように、第1層配線13あるいは第2層配線18のピッチLの2倍の2Lを一辺とする正方形の各辺の midpoint にのみ配置することもできる。また、図6示すように、第1層配線13あるいは第2層配線18のピッチLの2倍の2Lを一辺とする正方形の各頂点にのみ配置することもできる。このような場合にも、貫通スルーホール部配線13b、18bの加工形状を補正して加工性能を向上できる。

【0056】次に、第1層配線13およびダミー配線14のパターン設計方法について説明する。なお、第2層配線18およびダミー配線19のパターン設計方法も同様であるため説明を省略する。

【0057】図7は、本実施の形態のパターン設計方法

の一例を示したフローチャートである。

【0058】まず、通常の設計方法に従い、各パターンの設計を行う(ステップ71)。このパターン設計により、半導体装置を製造するための素子分離領域2、ゲート電極6、接続孔11、第1層配線13、接続孔16、第2層配線18、接続孔21および第3層配線のパターンが設計される。図1のII部におけるこの段階での第1層配線13のパターンを例示すれば、図8のようになる。

【0059】次に、接続孔11と接続孔16とが同一座標にある場合を検索する(ステップ72)。このような場合、その座標の第1層配線13は、貫通スルーホール部配線13bとなっているはずである。

【0060】次に、貫通スルーホール(TH)部配線13bのパターンを貫通スルーホール(TH)用セルに置き換える(ステップ73)。貫通スルーホール用セルは、図9に示すように、貫通スルーホール部配線13bの周辺にダミー配線14が配置されたものとして定義する。ダミー配線14の個々の形状は第1層配線13の幅を一辺とする正方形とし、ダミー配線14が配置されるピッチは、第1層配線13のピッチと同じにする。このように、本設計方法では、貫通スルーホール部配線13bを貫通スルーホール用セルで置き換えるだけの操作により、補正処理を行うことができ、複雑なDA(自動設計)処理を行う必要がない。つまり、貫通スルーホール用セルをシンボリックに扱うのみで目的を達成できる。このため、設計における処理負担が少なく、設計を簡便に行うことができる。

【0061】次に、第1層配線13のパターンと貫通スルーホール用セルとをAND演算により合成して、第1層配線13およびダミー配線14のマスクパターンを生成する(ステップ74)。この段階のマスクパターンを図10に例示する。

【0062】なお、上記の説明では、図1のII部を例にとって説明したが、貫通スルーホール用セルのダミー配線14が通常の配線と重なる場合、たとえば図1のIV部についても同様に設計できる。

【0063】すなわち、前記ステップ71の段階におけるIV部の第2層配線を例示すれば図11のようになる。ステップ72により検索された座標位置の第2層配線は貫通スルーホール部配線18bであり、隣接する第2層配線18が存在する。ここで、図9に示すと同様な貫通スルーホール用セルを貫通スルーホール部配線18bと置換して配置する。この結果、図12に示すように、ダミー配線19の一部は、貫通スルーホール部配線18bに隣接する第2層配線18に重なる。このようにダミー配線19が第2層配線18と完全に重なるのは、ダミー配線19の幅およびピッチを第2層配線18と同一に定義しているためであり、この結果、設計段階における検証作業が必要でなく、設計処理の負担を低減できる。

【0064】さらに、ステップ74でOR演算を行った後のパターンを例示すれば図13のとおりであり、第2層配線18と重なったダミー配線19のパターンは消失する。

【0065】このように本実施の形態の設計方法を用いれば、第1層配線13およびダミー配線14、あるいは、第2層配線18およびダミー配線19のマスクパターンを簡便に形成できる。なお、図1のIII部についても同様に設計できる。また、図9に示す貫通スルーホール用セルに代えて、図14に示すような、貫通スルーホール用補正パターンを用いることができる。この場合は、ステップ73において貫通スルーホール用セルに置き換えるのではなく、貫通スルーホール用補正パターンを付加する操作を行う。

【0066】次に、本実施の形態の半導体装置の製造方法を説明する。図15～図22は、本実施の形態の製造方法の一例を工程順に示した断面図である。

【0067】まず、p⁺形の単結晶シリコンからなる半導体基板1を用意し、素子分離領域2が形成される領域の開口を有するフォトレジスト膜をパターンニングし、半導体基板1に浅溝を形成する。次に、フォトレジスト膜を除去し、前記浅溝を埋め込むシリコン酸化膜を半導体基板1の全面に堆積して、このシリコン酸化膜をCMP法により研磨する。これにより浅溝以外の領域の半導体基板1上の前記シリコン酸化膜を除去して浅溝内に素子分離領域2を形成する。

【0068】次に、p型ウェル3が形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜をマスクとして、p形の導電形にするための不純物、たとえばボロンをイオン注入する。前記フォトレジスト膜を除去した後、n型ウェル4が形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜をマスクとして、n形の導電形にするための不純物、たとえばリンをイオン注入する。さらに、前記フォトレジスト膜を除去した後、半導体基板1に熱処理を施して前記不純物を活性化し、p型ウェル3およびn型ウェル4を形成する(図15)。

【0069】次に、半導体基板1の主面上にゲート絶縁膜5となるシリコン酸化膜、ゲート電極6となる多結晶シリコン膜およびキャップ絶縁膜8となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターンニングされたフォトレジスト膜をマスクとして前記積層膜をエッチングし、ゲート絶縁膜5、ゲート電極6およびキャップ絶縁膜8を形成する。ゲート絶縁膜5はたとえば熱CVD法により堆積することができ、ゲート電極6はCVD法により形成することができるが、その抵抗値を低減するためにn形の不純物(例えばP)をドーブしてもよい。なお、ゲート電極6の上部にWSi_x、MoSi_x、TiSi_x、TaSi_xなどの高融点金属シリサイド膜を積層してもよく、窒化チタ

ン(TiN)、窒化タングステン(WN)等のバリア層を介してタングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)等の金属層を形成してもよい。キャップ絶縁膜8はたとえばCVD法により堆積することができる。

【0070】次に、nチャネル型のMISFETQ_nが形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜とキャップ絶縁膜8とをマスクとしてn型の導電型の不純物、たとえばリンをイオン注入し、MISFETQ_nの不純物半導体領域7をゲート電極6に対して自己整合的に形成する。前記フォトレジスト膜を除去した後、pチャネル型のMISFETQ_pが形成される領域に開口を有するフォトレジスト膜をパターンニングし、このフォトレジスト膜とキャップ絶縁膜8とをマスクとしてp型の導電型の不純物、たとえばボロンをイオン注入し、MISFETQ_pの不純物半導体領域7をゲート電極6に対して自己整合的に形成する。さらに、半導体基板1上にCVD法で酸化シリコン膜を堆積した後、反応性イオンエッチング(RIE)法でこの酸化シリコン膜を異方性エッチングすることにより、ゲート電極6の側壁にサイドウォールスペーサ9を形成する(図16)。なお、さらに、フォトレジスト膜、キャップ絶縁膜8およびサイドウォールスペーサ9をマスクとして不純物半導体領域7にその導電型に応じた不純物を高濃度にイオン注入し、いわゆるLDD構造の不純物半導体領域を形成してもよい。

【0071】また、この段階で、不純物半導体領域7の表面に、タングステンまたはコバルトのシリサイド膜を形成し、不純物半導体領域7のシート抵抗および接続部材12との接触抵抗を低減するようにしてもよい。

【0072】次に、半導体基板1上にスパッタ法またはCVD法で酸化シリコン膜を堆積し、層間絶縁膜10を形成する。層間絶縁膜10の表面は、CMP法を用いて平坦化することができる。さらに、半導体基板1の主面の不純物半導体領域7上の層間絶縁膜10に、フォトリソグラフィ技術およびエッチング技術を用いて接続孔11を開口する。その後、スパッタ法によりタングステン膜を堆積し、さらにブランケットCVD法によりタングステン膜を堆積し、さらに、接続孔11以外の層間絶縁膜10上のタングステン膜をCMP法により除去して接続部材12を形成する(図17)。

【0073】次に、半導体基板1の全面にタングステン膜を堆積し、このタングステン膜を前記した第1層配線13およびダミー配線14のマスクパターンを用いて、フォトリソグラフィおよびエッチング技術によりパターンニングする。これにより第1層配線13およびダミー配線14を形成する(図18)。なお、ダミー配線14の配置は、前記したマスクパターンのとおり、第1層配線13の貫通スルーホール部配線13bの周りに配置される。このときの平面図は、前記した図2または図3のよ

うになる。また、このように第1層配線13の貫通スルーホール部配線13bの周りにダミー配線14が配置されるため、貫通スルーホール部配線13bのパターニングが正確に行われる。すなわち、隣接部材の不存在による露光不足等に起因したパターニング不良が発生しない。これにより、貫通スルーホール部配線13bが微小なパターンであっても、ほぼ設計通りに加工され、接続部材12と接続部材17との電氣的接続が確実に行われる。この結果、半導体装置の性能と歩留まりを向上できる。

【0074】次に、前記層間絶縁膜10と同様に層間絶縁膜15を形成し、接続孔11と同様に層間絶縁膜15に接続孔16を形成する。その後、窒化チタン膜をスパッタ法またはCVD法により堆積し、さらに、タングステン膜をスパッタ法またはCVD法により堆積する。さらに、接続孔16以外の層間絶縁膜15上のタングステン膜および窒化チタン膜をCMP法により除去して接続部材17を形成する(図19)。

【0075】次に、半導体基板1の全面にチタン膜、アルミニウム膜および窒化チタン膜の積層膜を堆積し、この積層膜を前記した第2層配線18およびダミー配線19のマスクパターンを用いて、フォトリソグラフィおよびエッチング技術によりパターニングする。これにより第2層配線18およびダミー配線19を形成する(図20)。なお、ダミー配線19の配置は、前記したマスクパターンのとおり、第2層配線18の貫通スルーホール部配線18bの周りに配置される。このときの平面図は、前記した図4のようになる。また、このように第2層配線18の貫通スルーホール部配線18bの周りにダミー配線19が配置されるため、貫通スルーホール部配線18bのパターニングが正確に行われることは第1層配線13の場合と同様である。

【0076】次に、層間絶縁膜10、15と同様に、層間絶縁膜20を形成し、接続孔11、16と同様に層間絶縁膜20に接続孔21を形成する。その後、接続部材17と同様に、接続部材22を形成する(図21)。さらに、第2層配線18と同様に、チタン膜、アルミニウム膜および窒化チタン膜の積層膜を堆積し、この積層膜をパターニングして第3層配線23を形成する(図22)。なお、さらに配線層を形成する場合には、このときにダミー配線を配置してもよい。

【0077】最後に、絶縁膜24を堆積して図1に示す半導体装置がほぼ完成する。

【0078】本実施の形態の製造方法によれば、前記したダミー配線のパターンを含むマスクパターンを用いて、貫通スルーホール部分の配線の形成を確実にし、接続部材間の電氣的な接続信頼性を向上し、半導体装置の性能と歩留まりの向上を図ることができる。

【0079】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は

前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0080】たとえば、本実施の形態で説明した配線および接続部材の材質あるいは寸法は例示であり、これに限定されるわけではない。たとえば配線としてタングステン、アルミニウム以外の材料、たとえば銅等を用いてもよい。また、接続部材として、タングステン以外の材料、たとえばアルミニウム、銅、窒化チタン等を用いてもよい。

【0081】また、貫通スルーホール用セルとして、図9に用いたようなセルに限らず、そのピッチを配線ピッチの5倍以下の整数倍としてもよい。このように隣接する位置よりも遠くにダミー配線が存在しても、ある程度の補正の効果は期待できる。

【0082】また、補正用のパターンとして、単に、貫通スルーホール部配線13b、18bの面積を大きくする補正を行うことも可能である。

【0083】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0084】(1) 配線層内の孤立パターンのパターニングを良好にし、第1および第2接続孔の位置が一致する場合(貫通スルーホールの場合)の接続信頼性を向上できる。

【0085】(2) 貫通スルーホールの場合の接続抵抗を低減できる。

【0086】(3) 貫通スルーホールの場合のプロセスマージンを向上できる。

【0087】(4) 貫通スルーホールの場合の補正されたマスク設計を簡便に行うことができる。

【0088】(5) 半導体装置の性能および歩留まりを向上できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の一例を示した断面図である。

【図2】図1のII部における第1層配線およびダミー配線部分を示した平面図である。

【図3】図1のIII部における第1層配線およびダミー配線部分を示した平面図である。

【図4】図1のIV部における第2層配線およびダミー配線部分を示した平面図である。

【図5】第1または第2層配線およびダミー配線部分の他の例を示した平面図である。

【図6】第1または第2層配線およびダミー配線部分のさらに他の例を示した平面図である。

【図7】本発明の一実施の形態であるパターン設計方法の一例を示したフローチャートである。

【図8】パターン設計途中の配線層の一例を示した平面

図である。

【図 9】貫通スルーホール用セルの一例を示した平面図である。

【図 1 0】本実施の形態のパターン設計方法による配線パターンの一例を示した平面図である。

【図 1 1】パターン設計途中の配線層の他の例を示した平面図である。

【図 1 2】パターン設計途中の配線層の他の例を示した平面図である。

【図 1 3】本実施の形態のパターン設計方法による配線パターンの一例を示した平面図である。

【図 1 4】貫通スルーホール用補正パターンの一例を示した平面図である。

【図 1 5】本発明の実施の形態である製造方法の一例を工程順に示した断面図である。

【図 1 6】本発明の実施の形態である製造方法の一例を工程順に示した断面図である。

【図 1 7】本発明の実施の形態である製造方法の一例を工程順に示した断面図である。

【図 1 8】本発明の実施の形態である製造方法の一例を工程順に示した断面図である。

【図 1 9】本発明の実施の形態である製造方法の一例を工程順に示した断面図である。

【図 2 0】本発明の実施の形態である製造方法の一例を工程順に示した断面図である。

【図 2 1】本発明の実施の形態である製造方法の一例を工程順に示した断面図である。

【図 2 2】本発明の実施の形態である製造方法の一例を工程順に示した断面図である。

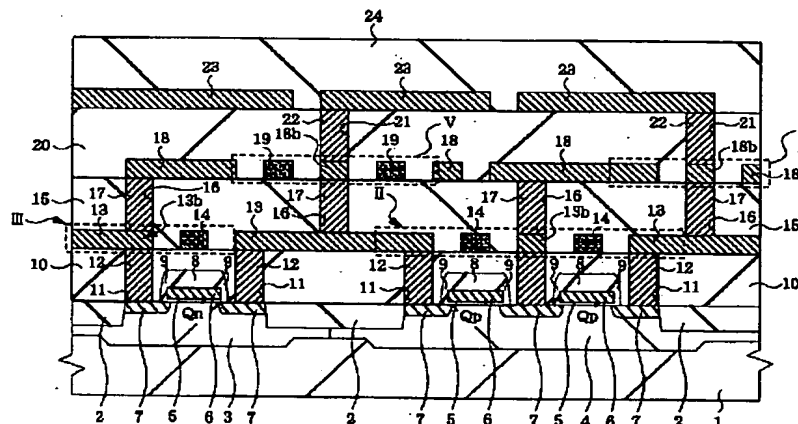
【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 p型ウェル
- 4 n型ウェル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 不純物半導体領域
- 8 キャップ絶縁膜
- 9 サイドウォールスペーサ
- 10 層間絶縁膜
- 11 接続孔
- 12 接続部材
- 13 第1層配線
- 13 b 貫通スルーホール部配線
- 14 ダミー配線
- 15 層間絶縁膜
- 16 接続孔
- 17 接続部材
- 18 第2層配線
- 18 b 貫通スルーホール部配線
- 19 ダミー配線
- 20 層間絶縁膜
- 21 接続孔
- 22 接続部材
- 23 第3層配線
- 24 絶縁膜
- L ピッチ
- Q n MISFET
- Q p MISFET

30

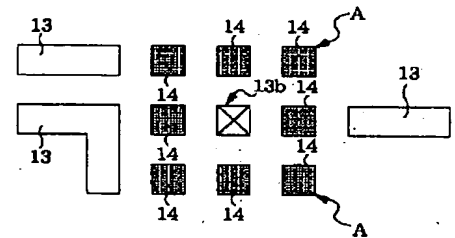
【図 1】

図 1



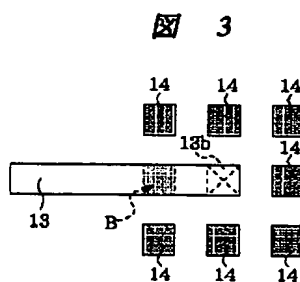
【図 2】

図 2

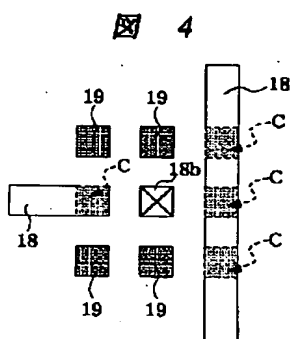


- 13: 第1層配線
13b: 貫通スルーホール部配線
14: ダミー配線

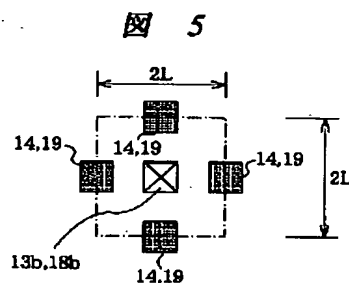
【図 3】



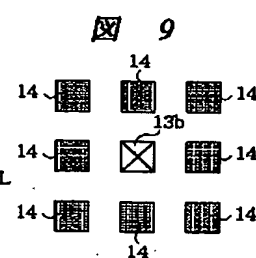
【図 4】



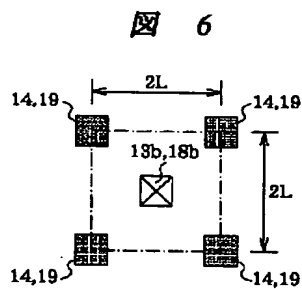
【図 5】



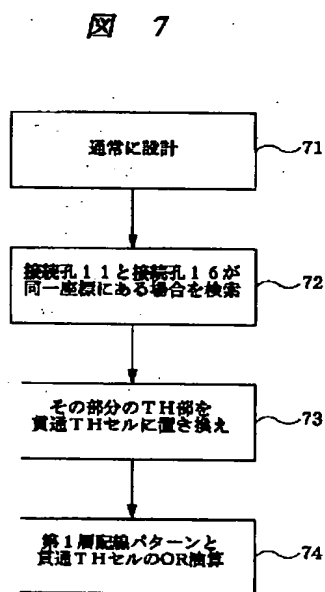
【図 9】



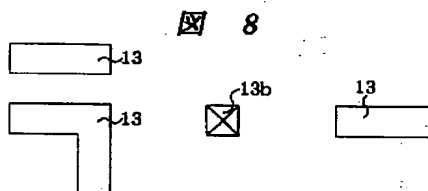
【図 6】



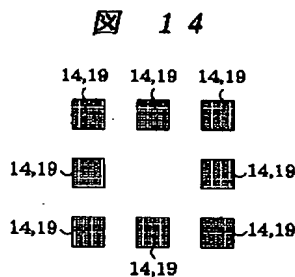
【図 7】



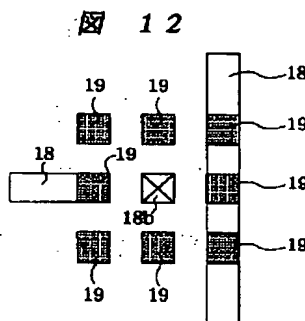
【図 8】



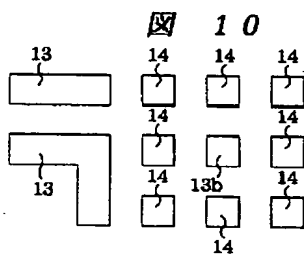
【図 1 4】



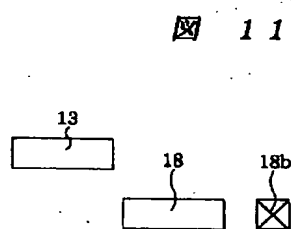
【図 1 2】



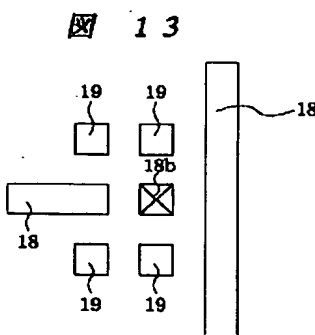
【図 1 0】



【図 1 1】

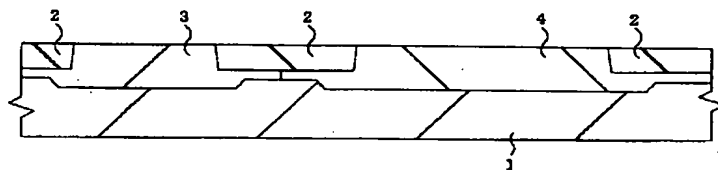


【図 1 3】



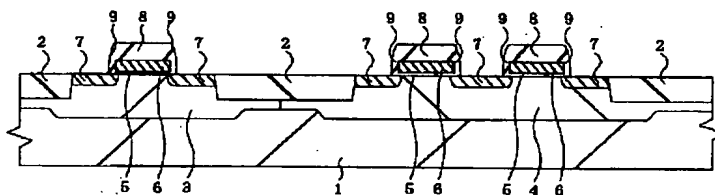
【図 15】

図 15



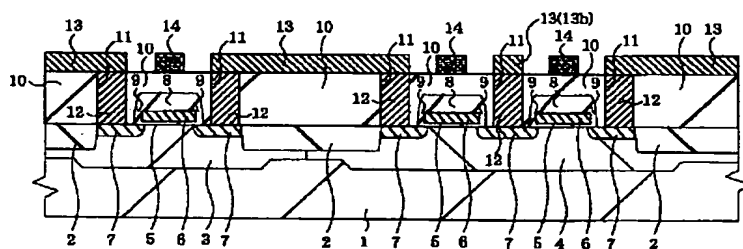
【図 16】

図 16



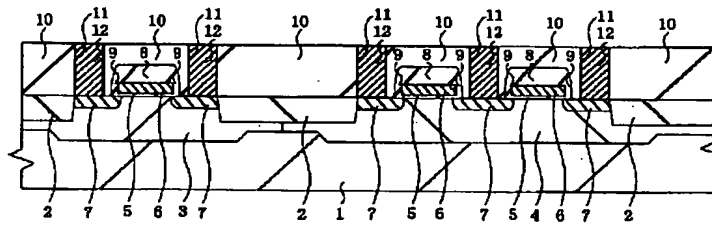
【図 18】

図 18



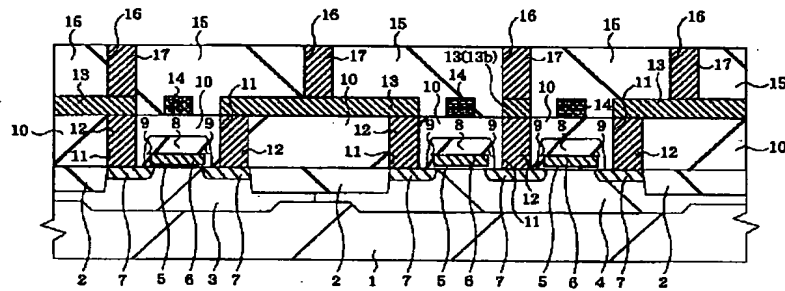
【図 17】

図 17



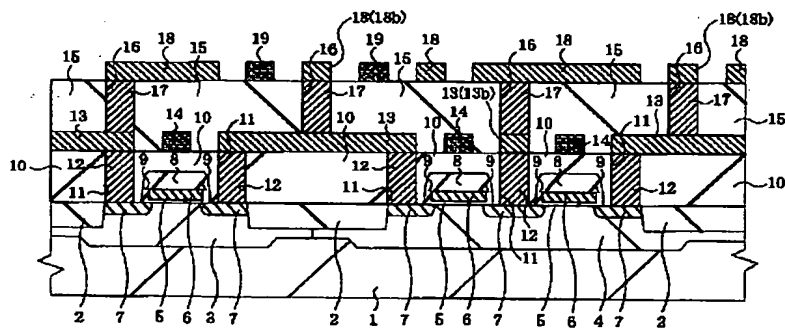
【図 19】

図 19



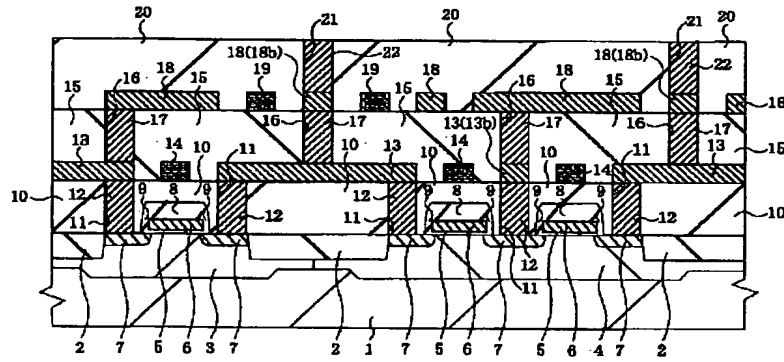
【図 20】

図 20



【図 21】

図 21



【図 22】

図 22

